

(54) LIQUID CRYSTAL DISPLAY PANEL AND ITS MANUFACTURE

(11) 2-251992 (A) (43) 9.10.1990 (19) JP

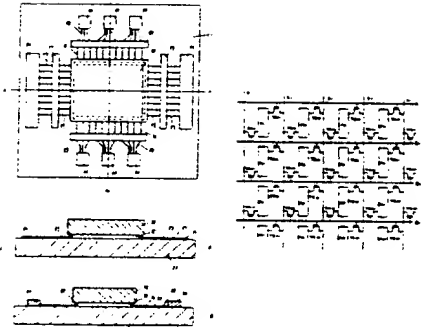
(21) Appl. No. 64-75360 (22) 27.3.1989

(71) MATSUSHITA ELECTRIC IND CO LTD (72) HIROSHI TAKAHARA

(51) Int. Cl. G09F9 30.G02F1 13.G02F1 1345

PURPOSE: To easily inspect TFTs on an active matrix array by connecting a driving IC to a source signal line to which a switching element is connected through a conductive joint layer.

CONSTITUTION: The liquid crystal display panel has thin film transistors(TFT) TM11 - TM34 and TS11 - TS44 for picture element driving and a scanning circuit 19 on a polysilicon substrate 11. The scanning circuit 19 is put in operation to apply an optional gate signal line 15 with a voltage which operates the TFTs or a voltage which does not operate the TFTs. Therefore, a probe is pressed against all gate signal lines 15 at a time to obtain effect similar to that at the time of signal application. Further, a source IC 14 is mounted after the liquid crystal display panel is inspected, so the impedance of a source IC 14 need not be considered at the time of inspection and secure and stable inspection is therefore performed. Consequently, the manufacture yield is improved and it is easily decided fast whether or not the liquid crystal display panel is normal.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-251992

⑤ Int. Cl.⁵

識別記号

庁内整理番号

④ 公開 平成2年(1990)10月9日

G 09 F	9/30	3 3 8 P	6422-5C
G 02 F	1/13	1 0 1	8910-2H
	1/1345		7370-2H
G 09 F	9/30	3 4 6	6422-5C

審査請求 未請求 請求項の数 7 (全12頁)

⑭ 発明の名称 液晶表示パネルおよびその製造方法

⑮ 特 願 平1-75360

⑯ 出 願 平1(1989)3月27日

⑰ 発 明 者 高 原 博 司 大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑱ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑲ 代 理 人 弁理士 栗 野 重 孝 外1名

明 細 書

1. 発明の名称

液晶表示パネルおよびその製造方法

2. 特許請求の範囲

(1) 半導体基板に絵素を駆動するスイッチング素子と、前記スイッチング素子が接続されたゲート信号線に信号を印加する走査回路が形成され、前記スイッチング素子が接続されたソース信号線に、駆動用ICが導電性接合層を介して接続されていることを特徴とする液晶表示パネル。

(2) 走査回路の出力部に出力電流制御回路が形成されていることを特徴とする請求項(1)記載の液晶表示パネル。

(3) スwitchング素子は一絵素に複数個形成されていることを特徴とする請求項(1)記載の液晶表示パネル。

(4) 駆動用ICを接続する電極とスイッチング素子が形成された表示領域間に検査用電極が形成されていることを特徴とする請求項(1)記載の液晶表示パネル。

(5) 出力電流制御回路は外部入力信号の印加信号により、通常出力電流状態と出力電流制限状態を切り換えられることを特徴とする請求項(2)記載の液晶表示パネル。

(6) ポリシリコン基板上に絵素を駆動するスイッチング素子と走査回路を形成し、前記基板上に対向電極が形成された基板を取りつけ、前記基板間に液晶を注入してパネル化し、走査回路を動作させ、かつ検査用パットを用いて前記液晶パネルの検査工程をおこない、次にソース信号線に突起電極が形成された駆動用ICを導電性接合層を介して接続することを特徴とする液晶表示パネルの製造方法。

(7) 検査工程はソース信号を流れる電流を検出することにより行なうことを特徴とする請求項(6)記載の液晶表示パネルの製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明はアクティブマトリックス型液晶表示装置に用いる液晶表示パネルおよびその製造方法に

関するものである。

従来の技術

近年、液晶表示装置の絵素数増大に伴って、走査線数が増え、従来から用いられている単純マトリックス型液晶表示装置では表示コントラストや応答速度が低下するため、各絵素にスイッチング素子を配置したアクティブマトリックス型液晶表示装置が利用されつつある。しかしながら前記液晶表示装置に用いるアクティブマトリックスアレイには数万個以上の薄膜トランジスタ（以後TFTと呼ぶ）を形成する必要がある。したがってすべてのアクティブマトリックスアレイを無欠陥で作製することは困難であり、現在の技術ではアクティブマトリックスアレイ上に形成されたTFTを検査し、良否を判別する必要がある。そこで容易にアクティブマトリックスアレイ上のTFTを検査することのできる液晶表示パネルおよびその製造方法が待ち望まれていた。

以下、従来の液晶表示パネルについて図面を参照しながら説明する。第9図(a)は従来の液晶表示

パネルの平面図である。また第9図(b)は第9図(a)のEE'線での断面図である。なお、説明に不要な箇所は省略しており、説明を容易にするため拡大あるいは誇張して描いている部分が存在する。また、液晶表示パネルの信号線数・IC数などは作図を容易にするために非常に少なく描いている。以上のことは以下の図面に対しても同様である。第9図(a)(b)において、90は液晶、91はソーダガラスからなる基板、92は対向電極が形成された基板（以下、対向基板と呼ぶ）、93はゲート信号線、94はソース信号線、95はフレキシブル基板96と接続のために基板91上に形成された接続電極形成部、96はゲートまたはソース信号線とICを積載した基板97上の引き出し線101とを接続するためのフレキシブル基板、97は走査IC98またはソースIC99を積載するためのプリント基板（以後、IC基板と呼ぶ）、98は液晶表示パネルのゲート信号線93に信号を印加するためのIC（以後、走査ICと呼ぶ）、99は液晶表示パネルのソース信号線94に信号を印加するためのIC（以後、ソー

スICと呼ぶ）、100は基板91と対向基板92間に液晶90を封止するための樹脂（以後、封止樹脂と呼ぶ）である。以後、同一番号あるいは同一記号を付したものは同一構成あるいは同一内容のものである。また、第10図は委は91上かつ液晶に面した部分に形成されたTFT群の一部等価回路図である。第10図において $T_{11} \sim T_{44}$ はTFT、 $S_1 \sim S_4$ はソース信号線、 $G_1 \sim G_4$ はゲート信号線、 $P_{11} \sim P_{44}$ は絵素電極である。また第11図は接続電極形成部95の一部拡大平面図である。第11図において110は接続用電極である。

第9図～第11図で明らかなように従来の液晶パネルはガラス基板91上にTFT群および接続用電極が形成され、また対向基板を取り付けられてパネル化されている。前記パネルに信号を印加するICはIC基板97上にハンダ付けにより積載され、前記基板とパネルとをフレキシブル基板96を用いて接続されている。フレキシブル基板96の接続には異方向性導電膜が用いられ、熱圧着により、フレキシブル基板96と接続用電極およびフレキシブ

ル基板96と引き出し線101と接続される。

以下、従来の液晶表示パネルの製造方法について説明する。第12図(a)はアレイ形成工程後の基板の平面図を示している。また、第12図(b)は第12図(a)のFF'線での断面図である。第12図(a)(b)において120は第10図に示すTFT群形成部（以後、表示領域と呼ぶ）である。まず、アレイ形成工程ではソーダガラス上に金属薄膜およびアモルファスシリコン薄膜などを層上に重ね、表示領域120、信号線93・94および接続用電極110を形成する。第13図(a)はパネル化工程後の基板の平面図を示している。また、第13図(b)は第13図(a)のGG'線での断面図である。アレイ形成工程後、基板はパネル化工程へ送られる。この工程では表示領域120に対向基板92が取り付けられ、周辺部を封止樹脂で封止、液晶90が注入される。工程終了後、良品は次の検査工程へ送られる。第14図は検査工程の説明図である。第14図において、140はゲート信号線 G_i とソース信号線 S_j の交点部に発生したショート（以後、クロスショートと呼ぶ）、141は抵

抗値測定手段、 $PS_1 \sim PS_n$ 、及び $PG_1 \sim PG_n$ はプローブなどの接続手段（以後プローブと呼ぶ）、 $SS_1 \sim SS_n$ 、および $SG_1 \sim SG_n$ はリレーまたはアナログスイッチなどからなる選択手段（以後、スイッチと呼ぶ）である。検査工程では主として重大な表示欠陥になるクロスショートを検出することを目的とする。そこでこの工程ではプローブ $PG_1 \sim PG_n$ を液晶表示パネルのゲート信号線 $G_1 \sim G_n$ に、プローブ $PS_1 \sim PS_n$ をソース信号線に圧接する。通常、液晶表示パネルの信号線は200本以上形成されるため、一度にすべての信号線にプローブを圧接することが困難である。そこでプローブをXYステージなどに取り付け移動させていくことにより順次圧接していき検査をおこなう。プローブ圧接後、スイッチ SS_1 のみを閉じ、スイッチ SG_1 から順次 SG_n まで閉じていき、各状態での抵抗値を抵抗値測定手段141で測定する。以上の動作をすべてのゲート信号線に対して行えるようにプローブ $PG_1 \sim PG_n$ を順次移動させておこなう。次にスイッチ SS_n のみを閉じ、同様にスイッチ $SG_n \sim SG_1$ を閉じていき、またプローブ $PG_n \sim PG_1$ を移動させておこなう。以上の動作をスイッチ $SS_n \sim SS_1$ を順次閉じ、また移動させることにより、すべてのゲート信号線とソース信号線間の抵抗値を測定する。測定される抵抗値はゲート信号線とソース信号線の交点が正常であれば高抵抗が、短絡していれば低抵抗が測定される。第14図ではクロスショート140が発生しているため、スイッチ SG_n 及び SS_n を閉じたとき、低抵抗値になる。クロスショートが発生したものは不良として廃棄される。次に接続工程について説明する。接続工程では、IC基板97上にまず、走査IC98またはソースIC99などが積載される。次にフレキシブル基板96上に異方向性導電膜が形成される。次にフレキシブル基板96はIC基板97の引き出し線101および接続電極形成部95に位置決めされたのち、熱圧着され接続される。以上の工程を経て液晶表示パネルは完成する。

発明が解決しようとする課題

近年、液晶表示パネルの信号線の間隔は $200\mu\text{m}$ 以下と微細化の傾向にある。また信号線の本数は数百本以上と増加の傾向にある。したがって、従来の液晶表示パネルとその製造方法では、検査工程において下記の重大な課題が発生する。液晶表示パネルは検査工程で重大な表示欠陥となるクロスショートを検出し、液晶表示パネルの良否を選別する必要がある。また、黒点状表示欠陥となるTFTのソース・ドレイン間断線（以後、S・Dオープンと呼ぶ）、ゲート・ドレイン間ショート（以後、G・Dショートと呼ぶ）および白点状表示欠陥となるTFTのソース・ドレインショート（以後、S・Dショートと呼ぶ）をも検出することが好ましい。前述の検査を行うためにはプローブを液晶表示パネルのソース信号線およびゲート信号線の引き出し電極に圧接し、電気的接続を取る必要がある。しかし、信号線の引き出し電極も微細化の傾向があり、プローブを正確に位置決めすることが困難になりつつある。また、微細化になるほど位置決め時間も長時間を要する。液晶表

示パネルの信号線本数も増大化の傾向にあり、プローブを一度に圧接できる本数にも限度があるため、プローブの移動回数が増大し、検査時間に長時間を要する。たとえば、信号線数が 200×400 本のもので、プローブを 25×25 本を一度に圧接し、 25×25 のプローブを10秒で検査をおこなっても約20分の検査時間を要する。またS・Dショート・G・Dショート・S・Dオープン欠陥などの点欠陥は従来の検査工程ではほとんど検出することができず、通常おこなわれていない。前記点欠陥は完全に液晶表示パネルが完成してから表示による検査がおこなわれ、良否の選別がおこなわれる。しかし、完成してから不良品となると、製造コストにはねかえる割合が大きく、重大な課題であった。

課題を解決するための手段

上記課題を解決するため、本発明の液晶表示パネルは、ポリシリコン基板に絵素を駆動するスイッチング素子と、前記スイッチング素子が接続されたゲート信号線に信号を印加する走査回路が形

成され、前記スイッチング素子が接続されたソース信号線に、突起電極が形成された駆動用ICが導電性接合層を介して接続されたものである。

また、本発明の液晶表示パネルの製造方法は、ポリシリコン基板に絵素を駆動するスイッチング素子と走査回路を形成し、前記基板上に対向電極が形成された基板を取り付け、前記基板間に液晶を注入してパネル化し、また、走査回路を動作させ、かつ検査用パッドを用いて、前記液晶パネルの検査工程をおこない、次にソース信号線に突起電極が形成された駆動用ICを導電性接合層を介して接続するものである。

作用

本発明の液晶表示パネルは絵素駆動用のTFTおよび走査回路をポリシリコン基板に形成している。走査回路を動作させることにより、任意のゲート信号線にTFTを動作させる電圧（以後、オン電圧と呼ぶ）またはTFTを動作させない電圧（以後、オフ電圧と呼ぶ）を印加することができる。したがって、全ゲート信号線に一度にブロー

ブを圧接し、信号印加したのと同様の効果が得られる。また、本発明の液晶表示パネルの製造方法は、液晶表示パネルの検査をおこなったのち、ソースICを積載するものであるから、検査時ソースICの入力インピーダンスを考慮する必要がない。したがって確実・安定な検査をおこなえる。

実施例

以下、本発明の液晶表示パネルの一実施例について図面を参照しながら説明する。第1図(a)は本発明の液晶表示パネルの平面図である。また第1図(b)は第1図(a)のAA'線での断面図、第1図(c)は第1図(a)のBB'線での断面図である。第1図(a)(b)(c)において、10は液晶、11はポリシリコンなどからなる半導体基板、12は対向基板、13は液晶表示パネルの検査をおこなうための電極が形成された部分（以後、検査電極形成部と呼ぶ）、14はチップ状のソースIC、15はゲート信号線、16はソース信号線、17・18は引き出し線、19はゲート信号線にオン電圧またはオフ電圧を印加し走査するための走査回路の形成部、20は封止樹脂である。

第1図(a)(b)(c)で明らかなように本発明の液晶表示パネルはポリシリコン基板にTFTおよび走査回路が形成される。また、表示領域の周辺には各信号線に対応した検査用電極が形成されており、ソース信号線にはガラスオンチップ技術（以後、COG技術と呼ぶ）でソースIC14チップが接続されている。さらに本発明の液晶表示パネルを第2図～第4図を用いて説明する。まず、第2図はTFTが形成された表示領域部の一部等価回路図である。第2図において、 $T_{M11} \sim T_{M1n}$ および $T_{S11} \sim T_{S1n}$ はTFTである。第2図で明らかなように、本発明の液晶表示パネルは1つの絵素電極に2つのTFTが形成され、前記2つのTFTはそれぞれ異ったゲート信号線およびソース信号線に接続されている。第3図(a)はソースIC14および引き出し線18部の一部拡大平面図である。第3図(a)において30はソースIC14チップの端子と接続するために基板11上に形成された電極（以後、IC接続電極と呼ぶ）、31に示す点線はソースIC14チップの積載位置を示している。

以上のように本発明の液晶表示パネルのソース信号線にはソースIC14チップがIC接続電極30を介して接続されている。第3図(b)は走査回路形成部19の走査回路のブロック図である。第3図(b)において、32はシフトレジスタ回路、33はシフトレジスタ回路32の論理出力をラッチし保持するためのラッチ回路、34はラッチ回路33の論理出力により、オン電圧またはオフ電圧を出力するドライバ回路、35は出力端子 $X_1 \sim X_n$ に入出力する電流を規定値以下に制限できる機能をもつ出力電流制限回路である。なお、出力電流制限回路35はCL端子の論理入力により、入出力電流の制限機能を解除または動作させることができる。通常、検査工程時には動作させ、表示状態では解除される。シフトレジスタ回路32はクロック ϕ および SP' または SP'' に入力されたデータにより、HまたはLレベルの論理出力を出力する。前記論理出力はラッチ回路33を通過またはラッチ回路33に保持され、ドライバ回路からオン電圧またはオフ電圧が出力される。第4図は、検査電極形成部

13の一部拡大平面図である。第4図において41は検査用電極である。第4図で明らかなように検査電極41まではすべてのソース信号線またはゲート信号線は引き出されてきている。検査用電極41からは1本ごとに引き出され、走査回路形成部19またはIC接続用電極30まで導びかれる。前記検査用電極41は少なくともソース信号線には形成される。

以下、本発明の液晶表示パネルの製造方法について説明する。第5図(a)はアレイ形成工程後の基板11の平面図を示している。また、第5図(b)は第5図(a)のC-C'線での断面図である。まず、アレイ形成工程ではポリシリコン基板に半導体技術を用いて、TFTおよび走査回路などが形成される。また、IC接続電極30なども形成される。アレイ形成工程後次のパネル化工程へと進む。第6図(a)はパネル化工程後の基板の平面図を示している。また、第6図(b)は第6図(a)のD-D'線での断面図である。この工程ではTFTなどが形成された表示領域上に対向基板12が取り付けられ、周辺部を

封止樹脂で封止したのち、前記基板間を真空にして、液晶10が注入される。前記工程終了後、良品は次の検査工程へ進む。第7図は検査工程での液晶表示パネルの説明図である。第7図において説明を容易にするために走査化19は図面の左側にしか描いていない。第7図において、70はS・Dショート、71はG・Dショート、74はクロスショート、72は直流電圧を印加できる信号印加手段、73は電流などの信号を検出するための信号検出手段、 Q_{S1} ・ Q_{S2} はブロープ、 U_{S1} ・ U_{S2} はスイッチである。まず、クロスショート74の検出方法について説明する。ブロープ PS_1 ～ PS_2 はソース信号線端に形成された検査用電極41に圧接される。次に走査回路19を動作させ、すべてのゲート信号線にオフ電圧を印加する。なお、ここでは、オフ電圧を－電圧、オン電圧を＋電圧として取り扱う。次にスイッチ SS_1 から SS_2 まで順次1ずつ閉じていき、各状態で出力電圧または電流がないかを信号検出手段73で測定する。今、クロスショート74が発生しているため、スイッチ

SS_2 を閉じた時、オフ電圧が手段検出手段73に検出される。したがって、ソース信号線 S_2 とゲート信号線が短絡していることがわかる。次にスイッチ SS_1 を閉じたまま、ゲート信号線 G_1 にオン電圧を印加し、順次最後のゲート信号線までシフトさせていく。前記各状態でオフ電圧に変化がないかを信号検出手段73で監視する。今、ゲート信号線 G_1 にオン電圧を印加した時、信号検出手段73が検出している信号がオフ電圧からオン電圧に変化する。したがって、ゲート信号線 G_1 とソース信号 S_2 にクロスショートが発生していることを検出できる。また走査回路19に出力電流制限回路35を形成しているため、クロスショートが発生していても過電流が流れることがなく、安定にパネルおよび走査回路などを破壊することなく検査がおこなえる。

以上の動作をブロープ PS_1 ～ PS_2 を移動させ、他のソース信号線にもおこなっていくことにより、検査をおこなうことができる。

次に、G・Dショート71の検出方法について説明する。まず、ブロープ PS_1 ～ PS_2 をソース信号線端に形成された検査用電極41に圧接する。次に走査回路19を動作させ、ゲート信号線 G_1 のよにオン電圧を印加し、他のゲート信号線にはオフ電圧を印加する。その時、順次選択手段 S_{S1} から S_{S2} まで選択的に閉じていき各ソース信号線に出力電流がないかを信号検出手段73で測定する。以上の動作をクロスショートの説明と同様にすべてのゲート信号線に対しておこなう。今、ゲート信号線 G_1 にオン電圧を印加し、選択手段 S_{S1} を閉じたときTFTの TM_{33} にG・Dショート71が発生かつTFTの TM_{33} が動作状態であるため、ゲート信号線 G_1 →G・Dショート71→ TM_{33} →ドレイン→ TM_{33} →ソース→ソース信号線 S_2 → PS_1 → SS_1 →信号検出手段73なる電流経路が生じるため、TFTの TM_{33} に欠陥が発生していることを検出できる。以上の動作をブロープを移動させ、すべてのソース信号線に対しておこなう。

最後に、S・Dショートの検出方法について説

明する。まず、プローブPS₁～PS₄およびQS₁・QS₄を検査用電極41に圧接する。次に走査回路19を動作させ、ゲート信号線G₁のみにオン電圧を印加し、他のゲート信号線にはオフ電圧を印加する。次に選択手段US₁およびUS₄を閉じ、ソース信号線S₁およびS₄に信号印加手段72からの電圧を印加する。次に選択手段SS₁・SS₄を順次選択的に閉じていき、各ソース信号線S₁・S₃・S₄に出力電圧がないか信号検出手段73で測定する。次にゲート信号線G₁のみにオン電圧を印加し、前述の動作を行う。以上の動作をすべてのゲート信号線に対して行う。今TFTのTM₁₂にS・Dショート70が発生しているため、ゲート信号線G₁にオン電圧を印加し、TFTのTS₁₂を動作状態にし、かつ選択手段SS₁₂を閉じたとき、信号印加手段72→US₁→QS₁→ソース信号線S₁→S・Dショート70→P₁₂→TFTのTS₁₂→ソース信号線S₁→PS₁→SS₁→信号検出手段73なる電流経路が生じるため、TFTのTM₁₂にS・Dショート70が発生

していることを検出できる。以上の動作をプローブを移動させ、すべてのソース信号線に対しておこなう。

検査工程終了後、良品にはソースIC接続工程がおこなわれる。第8図はIC接続電極30にソースIC14を接着したところの断面図である。第8図において80は突起電極、81は導電性接合層である。前記突起電極はAnから構成され、ボールボンディングまたはネイルヘッドボンディング技術を用いてソースIC14の端子上に2段突起状に形成される。また前記突起電極上に数十μmの導電性接合層を形成されている。前記導電性接合層は、接着剤としてエポキシ系、フィノール系等を主剤として、A₁・A₂・N₁・C・S₁・O₁などのフレークを混ぜたものであり、転写等の技術で形成される。ソースIC14はIC接続電極41と前記突起電極および導電性接合層を介して電極的に接続される。次に電気オープン・ヒートコラムなどの方法を用い、導電性接合層を本硬化させ液晶表示パネルは完成する。

なお、本発明の液晶表示パネルの製造方法の説明で、パネル化工程後検査工程をおこなうとしたが、検査工程後、パネル化工程をおこなっても同様の効果が得られることは明らかである。したがって検査工程後、パネル化工程をおこなってもよい。

また本発明の液晶表示パネルは1つの絵素電極に2つのTFTを形成するとしたがこれに限定するものではない。

発明の効果

本発明の液晶表示パネルは、絵素駆動用のTFTおよび走査回路を半導体基板に形成し、ソースICはCOG技術で積載している。走査回路は比較的回路規模が小さく容易に形成できるため、欠陥および不良の発生率が低い。ソースICの機能を半導体基板に作りこもうとすると、前記機能を実現するための回路は大きく、欠陥・不良が発生しやすい。したがって、本発明の液晶表示パネルの製造歩留まりは半導体基板にソースICの機能を作りこんだものと比べると格段に高い。また、

従来のフレキシブル基板を用いて、走査用ICと接続する液晶表示パネルでは100μm以下のファインパターン信号線ピッチのものには対応することができないが、本発明の液晶表示パネルでは十分対応が可能である。

また、本発明の液晶表示パネルの製造方法では、ソースICを接続する前に検査工程をおこなう。検査工程ではS・Dショート時に発生する電流は通常1μA以下と非常に微小である。したがって、ソースICが検査工程時に接続あるいは形成されていると、前記ICの入力インピーダンスの影響がでる。ゆえに微小な電流を検出することは困難であり、欠陥を検出することができない。また、走査回路を動作させるだけで、すべてのゲート信号線にオン電圧またはオフ電圧を一度に印加することができる。したがって、全ゲート信号線にプローブを圧接したのと同様の効果が得られ、検査時間が非常に短縮される。またプローブの圧接はソース信号線側だけでよく、プローブの作製コストの低減にもつながる。また、本発明の液晶表示

特開平2-251992 (7)

パネルは1つの絵素電極に2つのTFTを形成し、走査回路により一度にすべてのゲート信号線に電圧を印加できるため、従来の液晶表示パネルでは検出することのできなかったS・Dオープン、S・Dショートをも検出することができる。以上のことより、走査回路形成後、液晶表示パネルの良否を高速にかつ容易に判定することができ、その効果は大である。

4. 図面の簡単な説明

第1図(a)～(c)は本発明の液晶表示パネルの平面図および断面図、第2図は本発明の液晶表示パネルの表示領域の一部等価回路図、第3図(a)はソースIC接続部の一部拡大平面図、第3図(b)は走査回路の機能ブロック図、第4図は本発明の液晶表示パネルの検査用電極形成部の一部拡大平面図、第5図(a)～第8図は本発明の液晶表示パネルの製造方法の説明図、第9図(a)(b)は従来の液晶表示パネルの平面図および断面図、第10図は従来の液晶表示パネルの表示領域の一部等価回路図、第11図はフレキシブル基板を接続するための接続用電

極形成部の一部拡大平面図、第12図(a)(b)～第14図は従来の液晶表示パネルの製造方法の説明図である。

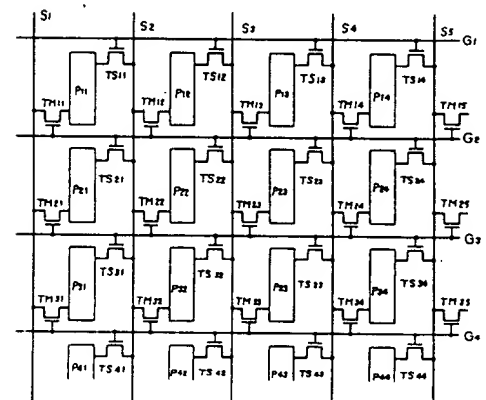
10・90……液晶、11・91……基板、12・92……対向電極、13……検査用電極形成部、14……ソースIC、15・93・G₁～G₄……ゲート信号線、16・94・S₁～S₄……ソース信号線、17・18……引き出し線、19……走査回路形成部、20・100……封止樹脂、P₁₁～P₄₄……絵素電極、T₁₁～T₄₄・T_{M11}～T_{M44}・T_{S11}～T_{S44}……TFT、30……IC接続電極、31……IC積載位置、32……シフトレジスタ回路、33……ラッチ回路、34……ドライブ回路、35……出力電流制限回路、41……検査用電極、70……S・Dショート、71……G・Dショート、72……信号印加手段、73……信号検出手段、74・140……クロスショート、P_{S1}～P_{S4}・P_{G1}～P_{G4}・Q_{S2}・Q_{S4}……接続手段、S_{S1}～S_{S4}・S_{G1}～S_{G4}・U_{S2}・U_{S4}……選択手段、80……突起電極、81……導電性接合層、95……接続電極形成部、96

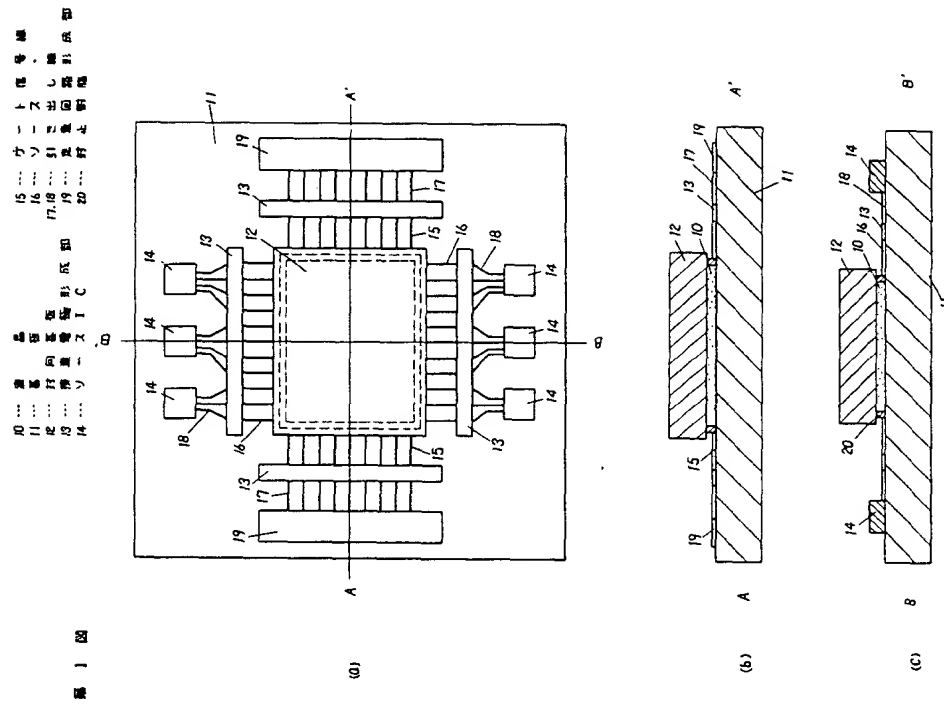
……フレキシブル基板、97……IC基板、98……走査IC、99……ソースIC、101……引き出し線、110……接続用電極、141……抵抗値測定手段。

代理人の氏名 弁理士 栗野重孝 ほか1名

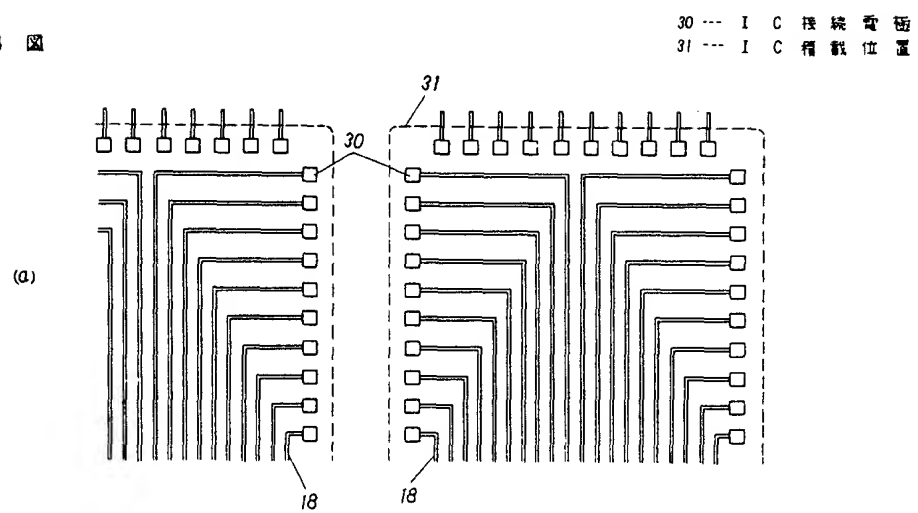
S₁～S₄ …… ソース信号線
G₁～G₄ …… ゲート信号線
P₁₁～P₄₄ …… 絵素電極
T₁₁～T₄₄, T_{M11}～T_{M44} …… TFT

図 2 図



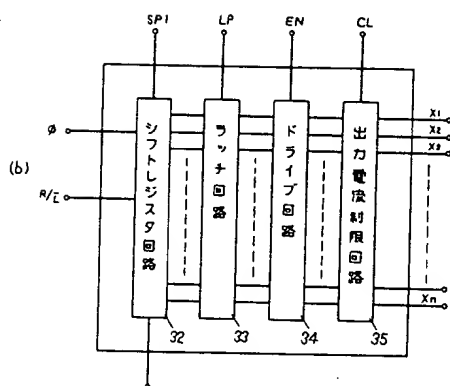


第 3 図



- 32... シフトレジスタ回路
- 33... ラッチ回路
- 34... ドライバ回路
- 35... 出力電流制限回路
- ϕ ... フロックス入力端子
- R/L... テータシフト方向制御端子
- SP1-SP2... シリアルテータ入力端子
- LP... ラッチ制御端子
- EN... イネーブル端子
- CL... 電流制限機能制御端子
- X1-Xn... 出力端子

図 3



41... 積層用電極

図 4

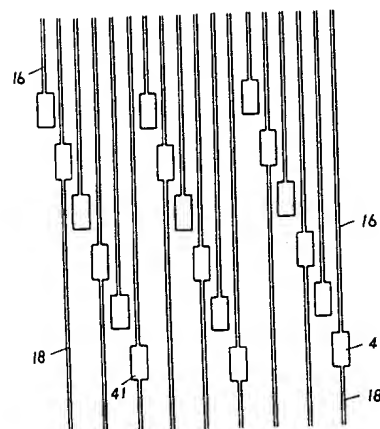


図 5

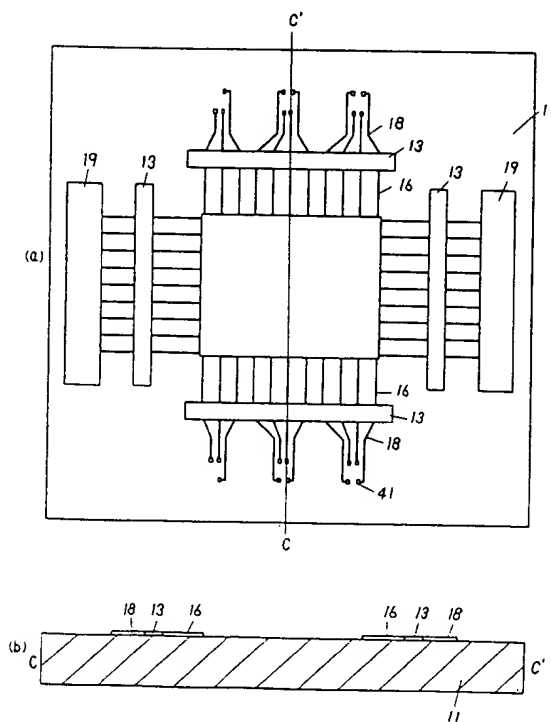
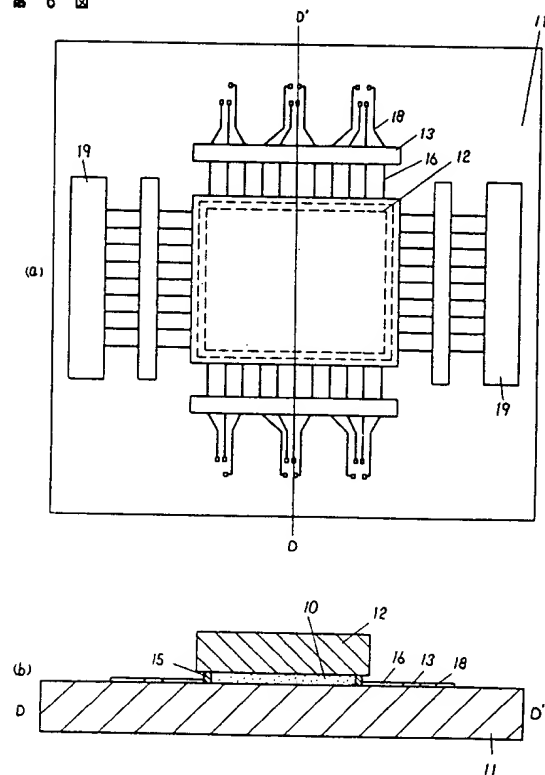
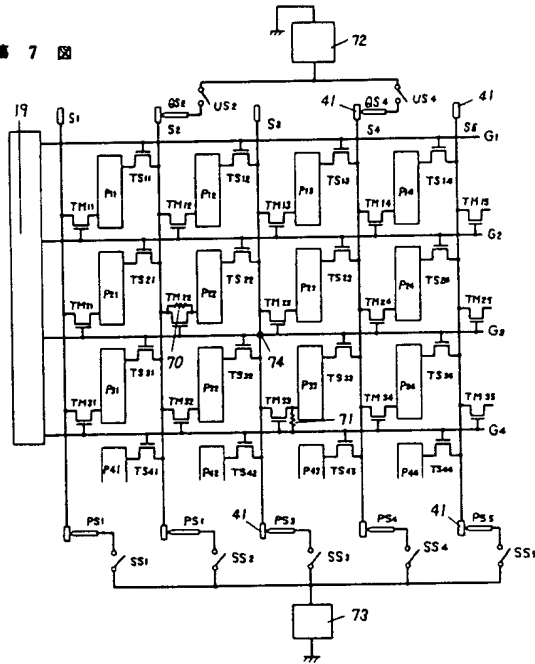


図 6

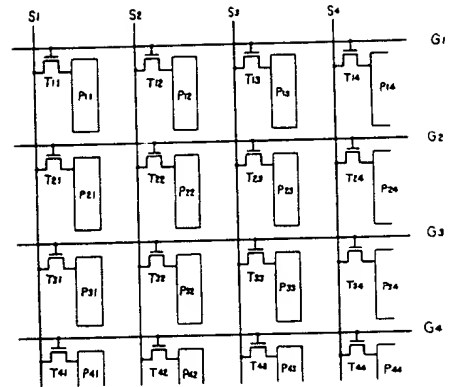


70 ... ソース・ドレイン短絡欠陥 74 ... クロスショート
71 ... ゲート・ドレイン短絡欠陥 GS1, GS4 ... 選択手段
72 ... 信号切込手段 US1, US4 ... 選択手段
73 ... 信号検出手段

第 7 図



第 10 図



80 ... 突起電極
81 ... 導電性接合層

第 8 図

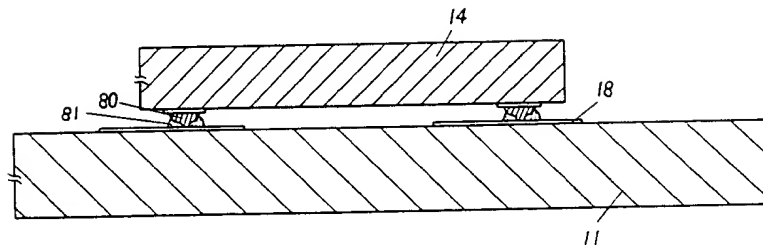
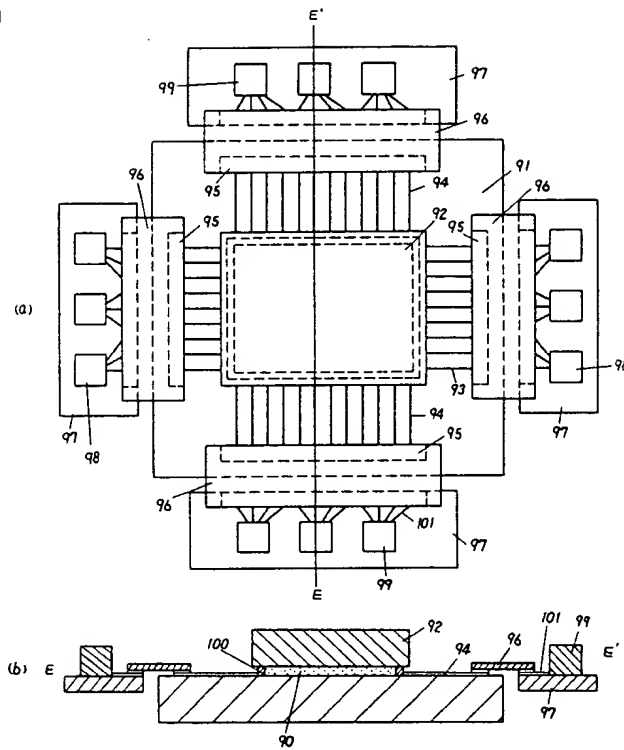


図 9



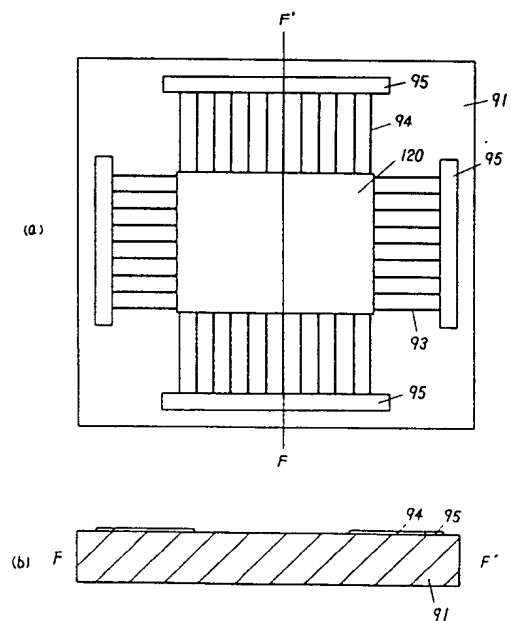
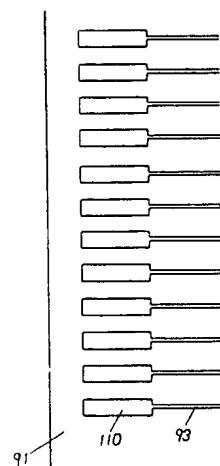
- 90 ... 液晶
- 91 ... 基板
- 92 ... 対向基板
- 93 ... ガラス基板
- 94 ... ソース電極
- 95 ... 接続電極
- 96 ... フレキシブル基板
- 97 ... IC基板
- 98 ... 重量IC
- 99 ... ソースIC
- 100 ... 対向電極
- 101 ... シェッド

110 ... 接続用電極

120 ... 表示領域

図 12

図 11



特開平2-251992 (12)

図 13

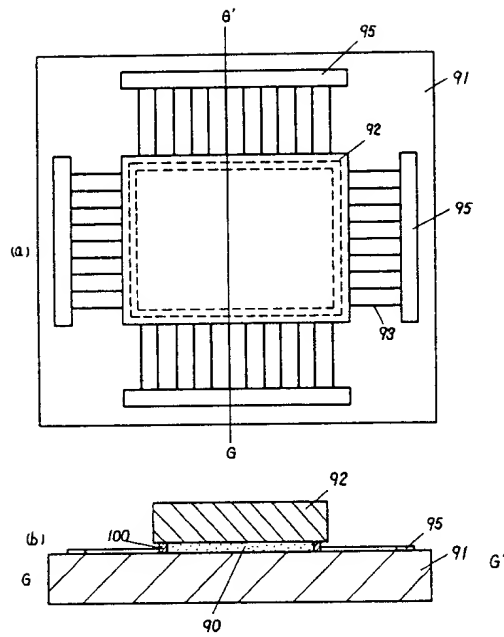


図 14

140 ... クロスシート
141 ... 発熱温度測定手段
PS1~PS4, PG1~PG4 ... 接続手段
SS1~SS4, SG1~SG4 ... 駆動手段

